

堆疊式晶片 IC 封裝模具之金線偏移探討

Study of Wire Sweep of Stacked Die Packages by Mold Filling Analysis

吳光國 李榮坤 蔡正翰 張政億
Kuang-Kuo Wu Rong-Kun Li Cheng-Han Tsai Cheng-Yi Chang

科盛科技股份有限公司
CoreTech System Co., Ltd.

摘 要

隨著 IC 封裝技術的進步與突破，電子產品也因此朝向輕、薄、短、小的趨勢。例如：PDA、筆記型電腦、數位相機、照相手機等，如何將電子產品體積變小，以及增加 IC 內部元件，常使用堆疊晶片做為手法之一，堆疊晶片封裝目的是將不同或是相同應用的晶片堆疊，並用 EMC 熱固塑膠進行封裝，保護晶片及內部金線，使單一產品達到具有不同功能或是容量加倍的功效，而在堆疊晶片封裝的製程中，常因為塑膠的流動造成金線偏移，本文利用 Moldex3D 模流分析，針對塑膠流動時對堆疊晶片造成金線偏移的趨勢進行探討。

關鍵詞:堆疊晶片封裝、金線偏移、模流分析。

Abstract

Owing to the new demand of new product development for 3C and other applications, new package designs have been developed rapidly recently. Due to the requirements of thinner and smaller ICs, stacking die technology has become the main trend in IC packaging. In the past, there was just a single die in a package. But now a package would include several integrated functions within it. The advancement of stacking die technology is not only increasing the capacity of memory and combining multi-processors but also reducing the volume of package. But wire sweep phenomenon may occur due to EMC flow in the molding process. In this paper, the authors would discuss the wire swap phenomena by using molding filling analysis in Moldex3D.

Keyword: Stacked Die Packages, Wire swap, Mold filling analysis.

一、前言

隨著半導體產業的高度發展，電子產品在 IC 元件上的設計朝向高腳數語多功能化的需求發展，而元件在外觀上也亦朝著輕、薄、短、小的趨勢演進，因此在封裝的製程上亦面臨諸多的挑戰、諸如封裝材料的選用、封裝製程中金線數目的高密度、及充填時所產生的金線偏移與封裝翹曲變形等問題，都是目前產業界所遭遇極欲解決的難題。

而為滿足消費性電子產品朝向小型及輕量化與高密度的要求，傳統單晶片封裝(Single Chip Package)已無法滿足需求，封裝體的結構尺寸必須隨之縮小，故能提供具整合性及多功能之多晶片封裝(Multi Chip Package)是未來發展的趨勢。在縮小的電子元件體積的方式上，可利用多晶片堆疊的 3D 封裝方式，使其具有節省空間以增進電性效能，並提高功能的整合性，而大幅縮小印刷電路版的面積，達到降低成本。但由於封裝結構更趨於複雜化，金線分佈與單晶片不同，所以常遇到包封或是金線偏移過大的問題。

本研究使用模流分析軟體，模擬多晶片堆疊之封裝結構體在充填的行為，並探討推疊式晶片金線偏移，使用模流分析技術，將 EMC 充填的流動行為和金線偏移以三維方式完整的呈現。

二、案例介紹

- A. 此為推疊式晶片的模型，如圖 1 所示。幾何尺寸約 30 x24 x1.4 mm，厚度：1.2mm。
- B. 使用的晶片幾何，晶片大小由小至大排列，如圖 2 所示，幾何尺寸如表 1。
- C. 使用的金線數目為 634 條，共分為三層，如 2 所示。
- D. 基板尺寸為 30 x 24 x 0.2 mm，如圖 3 所示。
- E. 流道幾何尺寸 8.75 x 6 X1.75 mm 澆口厚度約

0.25mm。

- E. 此案所使用的加工條件如下：

充填時間：8 秒

硬化時間：30 秒

起始轉化溫度：100 °C

模溫：170 °C

三、模流分析

使用 Moldex3D Mesh 建立實體網格、金線等前處理，依照堆疊晶片幾何和厚度建立實體網格。在依照金線的 2D 圖，如圖 4 所示，輸入第一層到第三層金線的軌跡，如圖 5、6、7 所示，程式會依照 2D 圖的位置與金線的軌跡建立座標，如圖 8 所示；所使用的實體網格為 Hexa，網格數量約 88 萬左右，金線區域有足夠的網格密度反應，如圖 9 所示。

完成前處理後，使用 Moldex3D IC Package 的模組分析堆疊晶片的充填行為，觀察流動波前 11%，EMC 已經流進入產品，如圖 10 所示；流動波前 18%，EMC 已經接觸到金線，如圖 11 所示。流動波前 26%，EMC 已經接觸到堆疊晶片，如圖 12 所示；流動波前 45%，EMC 受到晶片厚度影響以及金線的影響，發生遲滯的像現，如圖 13 所示；流動波前 88%，為可能產生縫合線位置，主要是因為晶片厚度所影響，如圖 14 所示；流動波前 98%，為流動末端位置，如圖 15 所示。

四、結果討論

觀看金線偏移分析結果，主要偏移量由 0~0.033mm，如圖 16 所示；金線偏移方向因量值較小，所以將顯示翹曲範圍放大倍率為 10 倍，如圖 17 所示，最大偏移百分比為 1.03%，如圖 18 所示，分析顯示金線最大偏移量為四各角落的金線位置，且大都為第一層上的金線，主要是因為第一層的金線較長打線較遠所引起，由速度向

量可以觀察在兩側有較高的情形，如圖 19 所示，所以兩側的偏移範圍也相對會比上下來的多。

五、結論

因國人對多晶片堆疊之模流分析研究甚少，大部分研究為單晶片的分析，故本文除了以 Moldex3D IC Package 模組模擬堆疊晶片流動波前外，更可分析出堆疊晶片金線偏移的結果，進而探討多層金線的偏移的問題點，避免金線偏移過大造成產品的不良，提高產品的良率。

六、參考文獻

- [1]. 微電子系統封裝基礎理論與應用技術，作者：江國寧，滄海書局。
- [2]. IC 封裝製程與 CAE 應用，作者：鐘文仁，全華圖書。

七、圖表彙整

表 1. 晶片幾何尺寸

	長	寬	厚
第一層晶片	6.5mm	6.5mm	0.2mm
第二層晶片	8.5mm	8.5mm	0.2mm
第三層晶片	10mm	10mm	0.2mm

圖 1. 推疊晶片整體模型

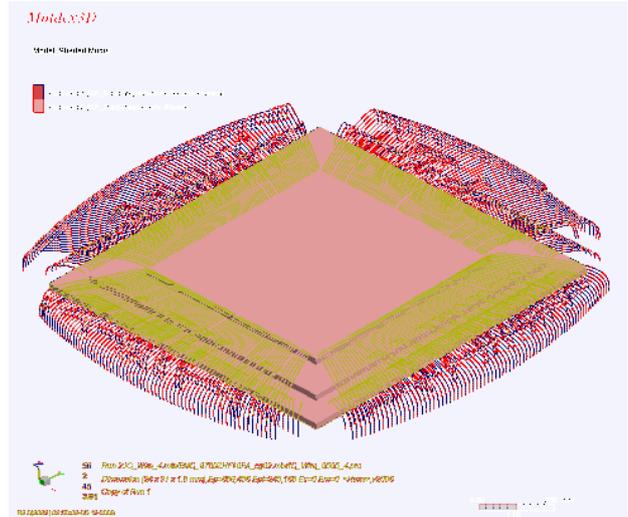


圖 2. 三層金線分佈情形

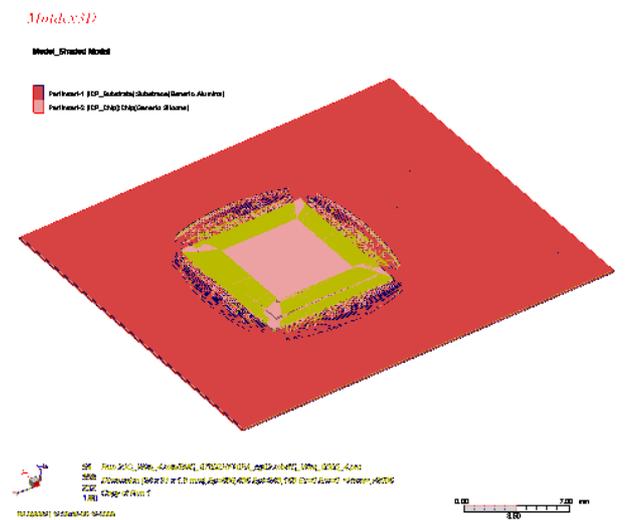


圖 3. 基板 and 晶片相關位置

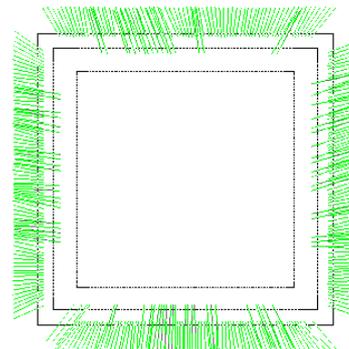
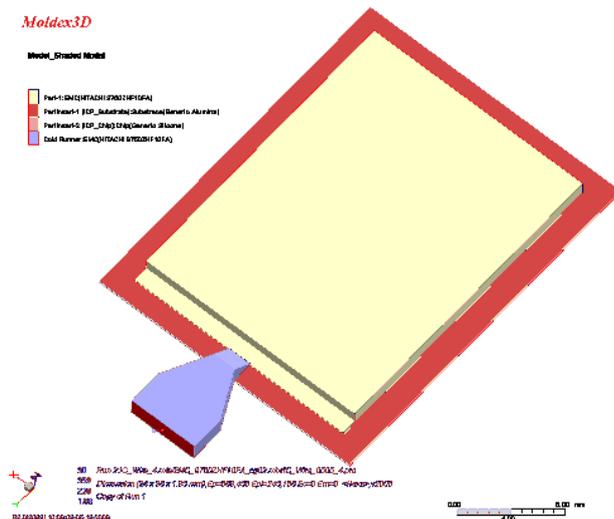


圖 4. 金線分佈 2D 圖

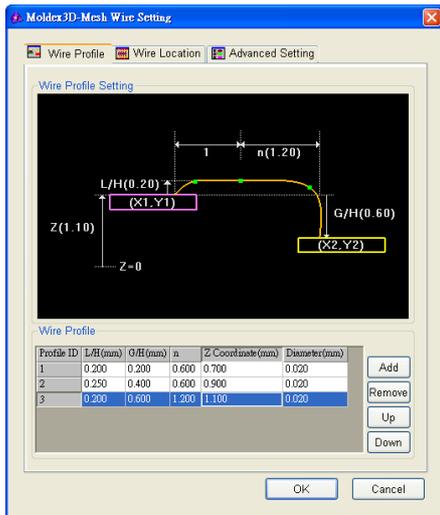


圖 5. 第一層金線軌跡

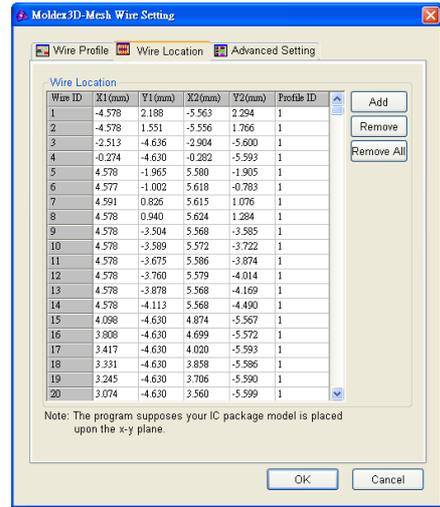


圖 8. 金線座標位置

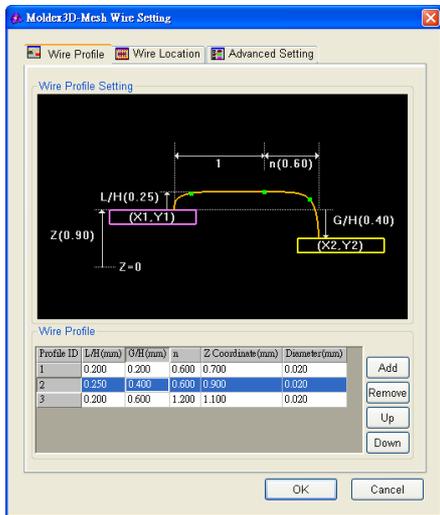


圖 6. 第二層金線軌跡

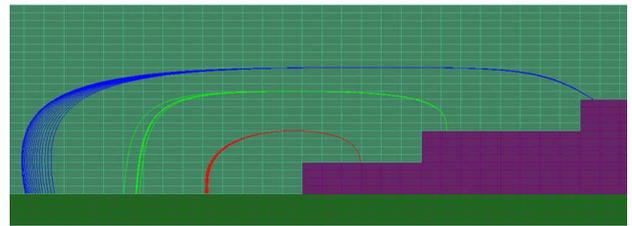


圖 9. 金線與實體網格的分布情形

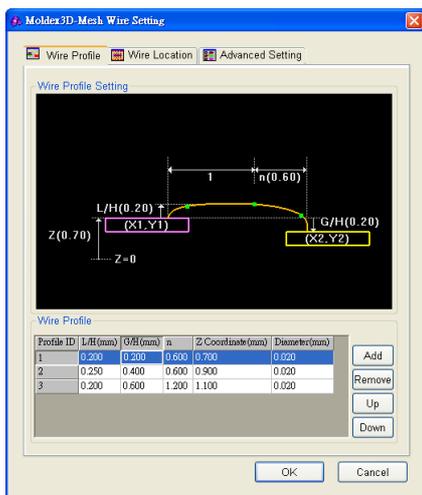


圖 7. 第三層金線軌跡

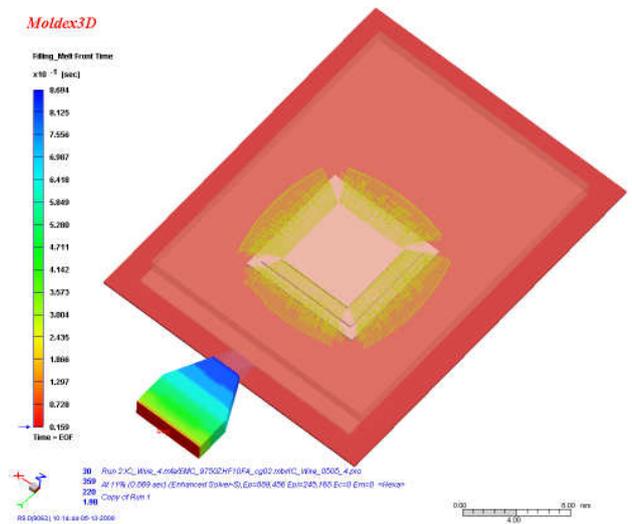


圖 10. 流動波前 11%

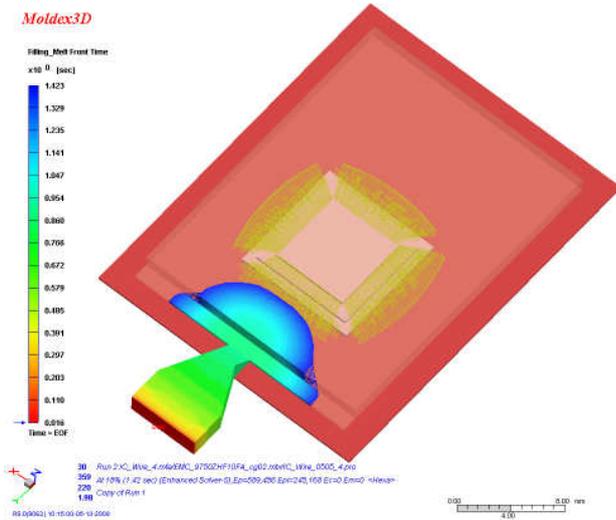


圖 11. 流動波前 18%

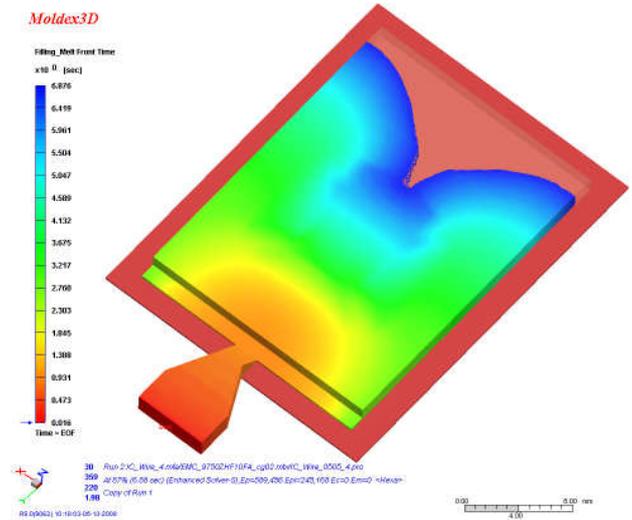


圖 14. 流動波前 87%

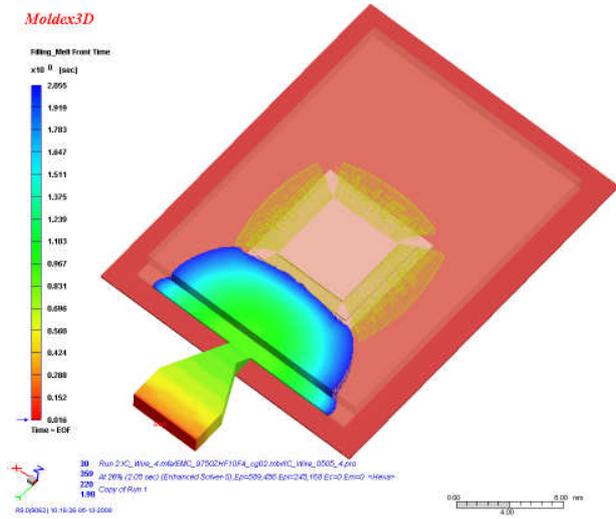


圖 12. 流動波前 26%

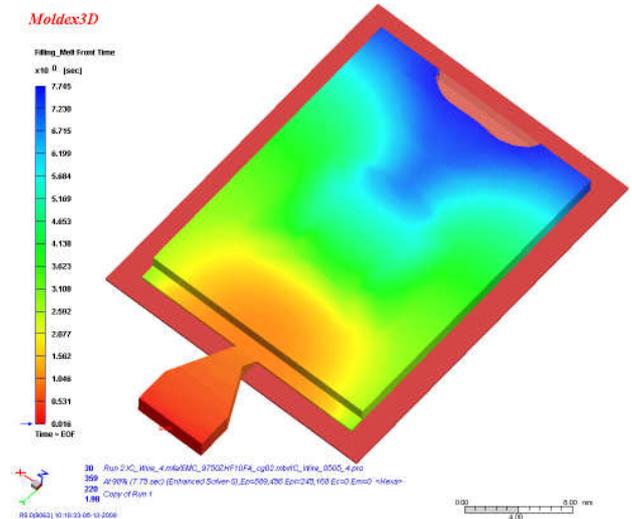


圖 15. 流動波前 98%

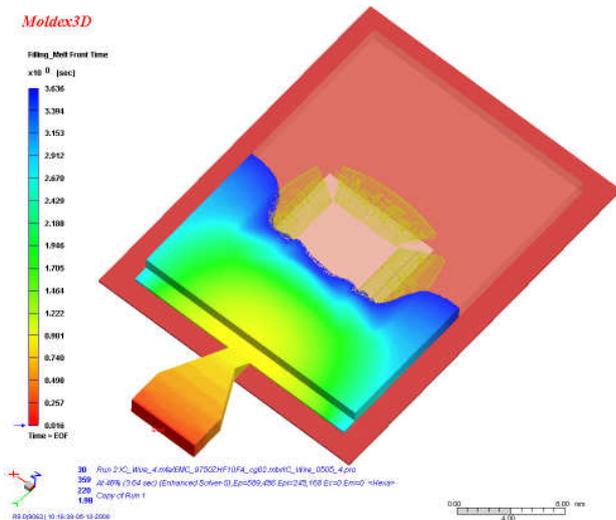


圖 13. 流動波前 45%

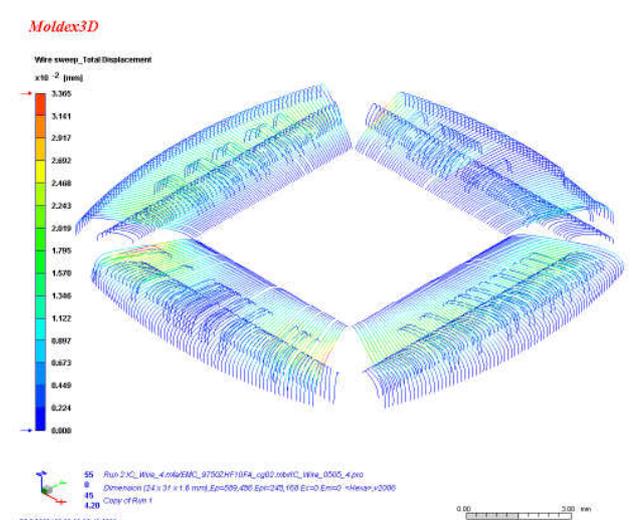


圖 16. 金線偏移量

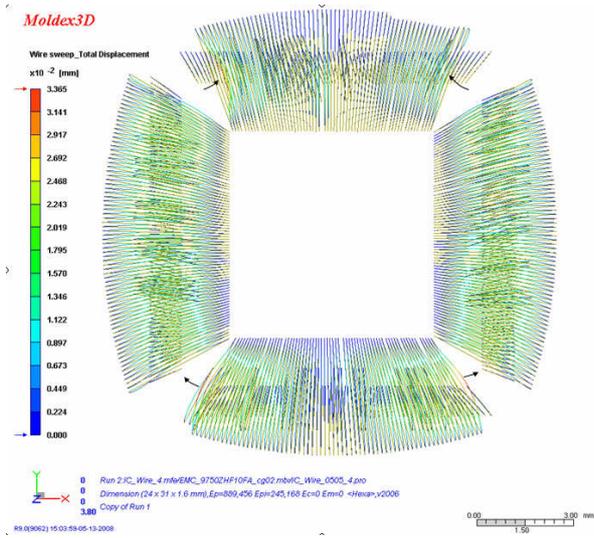


圖 17. 金線偏移方向(上視圖)

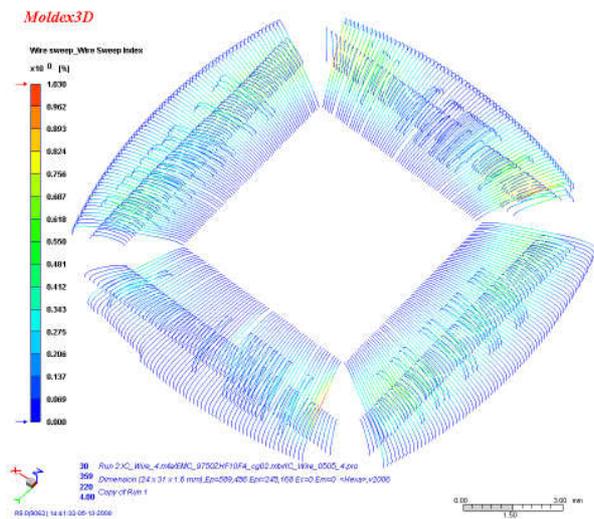


圖 18. 金線偏移百分比

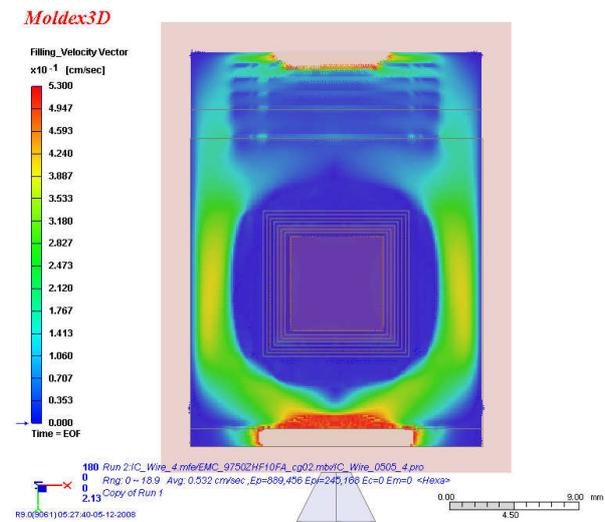


圖 19. 速度向量